

DERWENT-ACC-NO: 1997-412896

DERWENT-WEEK: 199738

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Poly:silicon@ TFT mfr. - involves irradiating
excimer laser with different intensity on channel
overcoating film to convert amorphous to poly:silicon@ film

PATENT-ASSIGNEE: CASIO COMPUTER CO LTD[CASK]

PRIORITY-DATA: 1995JP-0351234 (December 27, 1995)

PATENT-FAMILY:	PUB-DATE	LANGUAGE
PUB-NO		
PAGES MAIN-IPC		
JP 09186336 A	July 15, 1997	N/A
H01L 029/786		006

APPLICATION-DATA:	APPL-DESCRIPTOR	APPL-NO
PUB-NO		
APPL-DATE		
JP 09186336A	N/A	1995JP-0351234
December 27, 1995		

INT-CL (IPC): H01L021/336, H01L029/786

ABSTRACTED-PUB-NO: JP 09186336A

BASIC-ABSTRACT:

The method involves forming an amorphous silicon hydrogen thin film (25) and a channel overcoating formation film (26) on a second gate insulating film (24). High intensity excimer laser irradiates light on the channel overcoating formation film in presence of atmospheric air. The dehydrogenation of the amorphous silicon hydrogen thin film is performed. A low intensity excimer laser irradiates light on the channel overcoating film in the presence of atmospheric air so that a polysilicon thin film (27) is formed with a channel overcoat (26a) from amorphous silicon film.

A N type silicon film (28) is then formed on the polysilicon film. Source and drain areas (28a, 28b) are formed on either sides of the channel overcoat using the N type silicon film. A channel area (27a) is formed in the polysilicon

film lying below the channel overcoat.

ADVANTAGE - Eliminates impurity injection and activation processes.

CHOSEN-DRAWING: Dwg.2/4

TITLE-TERMS: POLY SILICON@ TFT MANUFACTURE IRRADIATE EXCIMER LASER
INTENSITY CHANNEL OVERCOAT FILM CONVERT AMORPHOUS POLY SILICON@ FILM

DERWENT-CLASS: L03 U11 U12

CPI-CODES: L04-C03; L04-C10B; L04-C16; L04-E01;

EPI-CODES: U11-C03D; U11-C18A1; U12-B03A;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-132193

Non-CPI Secondary Accession Numbers: N1997-344089

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186336

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 2 7 E
21/336				6 2 7 G

審査請求 未請求 請求項の数 6 F D (全 6 頁)

(21) 出願番号 特願平7-351234

(22) 出願日 平成7年(1995)12月27日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 工藤 利雄

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

(72) 発明者 若井 晴夫

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

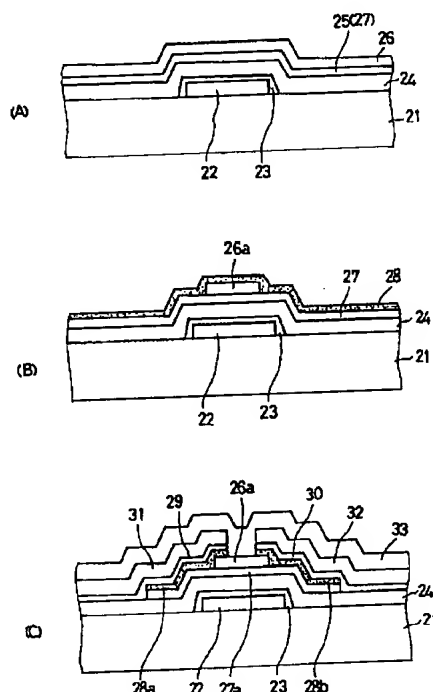
(74) 代理人 弁理士 杉村 次郎

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【課題】 ボトムゲート型のポリシリコン薄膜トランジスタの製造工程を簡略化する。

【解決手段】 第2ゲート絶縁膜24の上面に水素含有の真性なアモルファスシリコン薄膜25および窒化シリコンからなるチャネル保護膜形成用膜26を連続して成膜する。次に、大気中においてエキシマレーザを低エネルギー密度で照射することにより、アモルファスシリコン薄膜25の脱水素化処理を行い、次いで同じく大気中においてエキシマレーザを高エネルギー密度で照射することにより、真性なアモルファスシリコン薄膜25をポリ化して真性なポリシリコン薄膜27を形成する。この場合、エキシマレーザのエネルギー密度を変えるだけでよい。また、チャネル保護膜26aを形成した後、ソース領域28aおよびドレイン領域28bを、成膜したn型シリコン膜によって形成する。この場合、不純物注入工程および活性化工程が不要となる。



【特許請求の範囲】

【請求項1】 ソース、ドレイン、チャネル領域を有するポリシリコンを活性半導体層とする薄膜トランジスタの製造方法において、水素化アモルファスシリコン膜に、エキシマレーザを前回の照射領域と50%以上オーバーラップさせて照射するスキャン走査を全領域に行つて、前記水素化アモルファスシリコン膜を脱水素化およびポリ化することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 請求項1記載の発明において、エキシマレーザを前回と90%以上オーバーラップさせることを特徴とする薄膜トランジスタの製造方法。

【請求項3】 請求項1記載の発明において、エキシマレーザを短い幅を有する細長い帯状のビーム形状とし、この帯状ビームの幅方向にスキャン走査することを特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項1記載の発明において、エキシマレーザを複数回照射した上、スキャン走査することを特徴とする薄膜トランジスタの製造方法。

【請求項5】 請求項4記載の発明において、前記複数回のエキシマレーザの照射は最初が最もエネルギー密度が低いことを特徴とする薄膜トランジスタの製造方法。

【請求項6】 請求項1記載の発明において、全領域をスキャン走査後、1回目よりもエネルギー密度を大きくして再度エキシマレーザを照射しながらスキャン走査することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は薄膜トランジスタの製造方法に関し、特にボトムゲート型のポリシリコン薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 図3は従来のボトムゲート型のポリシリコン薄膜トランジスタの製造工程を示し、図4(A)～(D)はそれぞれ図3に示す製造工程を経て製造される薄膜トランジスタの各状態における断面図を示したものである。この薄膜トランジスタの製造に際しては、まず図3に示すゲート電極形成工程Aにおいて、図4(A)に示すように、ガラス基板1の上面の所定の個所にゲート電極2を形成する。次に、図3に示す2層連続成膜工程Bにおいて、ゲート電極2を含むガラス基板1の上面全体にゲート絶縁膜3および水素含有の真性アモルファスシリコン薄膜4を連続して成膜する。次に、図3に示す脱水素化工程Cにおいて、後の工程でエキシマレーザ照射により高エネルギーを与えたとき水素が突沸して欠陥が生じるのを避けるために、脱水素化用電気炉で熱処理を行うことにより、アモルファスシリコン薄膜4中の水素濃度を低減する。

【0003】 次に、図3示すポリ化工程Dにおいて、エキシマレーザを高エネルギー密度で照射することにより、

真性アモルファスシリコン薄膜4をポリ化して真性なポリシリコン薄膜5を形成する。次に、図3に示す不純物注入工程Eにおいて、図4(B)に示すように、ポリシリコン薄膜5のうちチャネル領域5aとなる領域上に不純物注入マスク6を形成し、ポリシリコン薄膜5のうちチャネル領域5aを除く全領域にリン等のn型不純物を注入する。この後、不純物注入マスク6を剥離する。次に、図3に示す活性化工程Fにおいて、エキシマレーザを低エネルギー密度で照射することにより、n型不純物注入領域を活性化する。次に、図3に示すチャネル保護膜形成工程Gにおいて、図4(C)に示すように、ポリシリコン薄膜5のうちチャネル領域5aとなる領域上にチャネル保護膜7を形成する。

【0004】 次に、図3に示すデバイスエリア形成工程Hにおいて、図4(D)に示すように、ポリシリコン薄膜5のうち不要な部分を除去する。この状態では、ポリシリコン薄膜5の中央部は真性領域からなるチャネル領域5aとされ、その両側はn型不純物注入領域からなるソース領域5bおよびドレイン領域5cとされている。次に、図3に示すソース・ドレイン電極形成工程Iにおいて、チャネル保護膜7の上面両側およびソース領域5b、ドレイン領域5cの各上面等にソース電極8およびドレイン電極9を形成する。次に、図3に示すオーバーコート膜成膜工程Jにおいて、全上面にオーバーコート膜10を成膜する。次に、図3に示す水素化工程Kにおいて、水素化用電気炉または水素化用プラズマ炉で水素化処理を行うことにより、ポリシリコン薄膜5のダングリングボンドを減少させる。かくして、ボトムゲート型のポリシリコン薄膜トランジスタが製造される。

【発明が解決しようとする課題】

【0005】 ところで、従来のこのようなボトムゲート型のポリシリコン薄膜トランジスタの製造方法では、従来の同型のつまりボトムゲート型のアモルファスシリコン薄膜トランジスタの製造方法と比較すると、脱水素化工程C、ポリ化工程D、不純物注入工程E、活性化工程Fおよび水素化工程Kが付加されており、製造工程が複雑であるという問題があった。この場合、特に、脱水素化工程Cのための脱水素化用電気炉とポリ化工程Dおよび活性化工程Fのためのエキシマレーザ装置とが別々の装置であるので、製造工程が複雑となり、また設備投資が増大する要因となっている。この発明の課題は、製造工程を簡略化するとともに設備投資を低減化することである。

【0006】

【課題を解決するための手段】 この発明は、ソース、ドレイン、チャネル領域を有するポリシリコンを活性半導体層とする薄膜トランジスタの製造方法において、水素化アモルファスシリコン膜に、エキシマレーザを前回の照射領域と50%以上オーバーラップさせて照射するスキャン走査を全領域に行つて、前記水素化アモルファス

シリコン膜を脱水素化およびポリ化するようにしたものである。

【0007】この発明によれば、水素化アモルファスシリコン膜に、エキシマレーザを前回の照射領域と50%以上オーバーラップさせて照射するスキャン走査によって、脱水素化工程とポリ化工程とを一度に行うことができることとなり、したがって製造工程を簡略化することができる。またこれに伴い設備投資を低減化することができる。

【0008】

【発明の実施の形態】図1はこの発明の一実施形態におけるボトムゲート型のポリシリコン薄膜トランジスタの製造工程を示し、図2(A)～(C)はそれぞれ図1に示す製造工程を経て製造される薄膜トランジスタの各状態における断面図を示したものである。この薄膜トランジスタの製造に際しては、まず図1に示すゲート電極形成工程Aにおいて、図2(A)に示すように、ガラス基板21の上面の所定の個所にアルミニウム-チタン合金からなるゲート電極22を形成する。次に、図1に示す陽極酸化工程Bにおいて、陽極酸化処理を行うことにより、ゲート電極22の表面に酸化アルミニウムからなる第1ゲート絶縁膜23を形成する。次に、図1に示す3層連続成膜工程Cにおいて、第1ゲート絶縁膜23を含むガラス基板21の上面全体に、PE-CVDにより、窒化シリコンからなる第2ゲート絶縁膜24、水素含有の真性アモルファスシリコン薄膜25および窒化シリコンからなるチャネル保護膜形成用膜26を連続して成膜する。

【0009】次に、図1に示す脱水素化・ポリ化工程Dについて説明するが、この場合、水素含有の真性アモルファスシリコン薄膜25上にチャネル保護膜形成用膜26を成膜しているため、大気中において低エネルギー密度のエキシマレーザの照射により、水素含有の真性アモルファスシリコン薄膜25の脱水素化処理を行うことができる。そこで、まず大気中においてエキシマレーザを低エネルギー密度で例えば60～150mJ/cm²程度で照射すると、アモルファスシリコン薄膜25中の水素濃度が低減し、次いで同じく大気中においてエキシマレーザを高エネルギー密度で例えば150～300mJ/cm²程度で照射すると、真性アモルファスシリコン薄膜25がポリ化して真性なポリシリコン薄膜27が形成される。このように、脱水素化工程とポリ化工程とをエキシマレーザのエネルギー密度を変えるだけで連続して行うことができるので、製造工程を簡略化することができる。

【0010】ところで、脱水素化・ポリ化工程Dにおけるエキシマレーザの照射は、ビームサイズを短い幅を有する細長い帯状とされたレーザビームをビームサイズの幅方向にオーバーラップさせながらスキャン照射することにより行う。この場合、オーバーラップ量を好ましく

は50%以上、より好ましくは90～99%とすることが重要である。また、エキシマレーザの照射は、低エネルギー密度と高エネルギー密度とを2回以上、好ましくは低エネルギー密度からエネルギー密度を除々に高くして、例えば10～20mJ/cm²程度ずつ高くして、3回以上行うようにしてもよい。スキャン走査の方法としては、1領域においてエネルギー密度を除々に高くして複数回エキシマレーザを照射した後、この1領域と50%以上オーバーラップするようにシフトしてエキシマレーザの照射を行うスキャン走査を全領域に亘って繰り返す方法と、スキャン走査によって全領域に亘って低エネルギー密度でエキシマレーザを照射した上、エネルギー密度を大きくして再度エキシマレーザを全領域に照射する方法とがある。なお、エキシマレーザ照射の代わりに、ランプ照射を行うようにしてもよい。

【0011】次に、図1に示すチャネル保護膜形成工程Eにおいて、図2(B)に示すように、チャネル保護膜形成用膜26のうち不要な部分を除去することにより、ポリシリコン薄膜27上の所定の個所にチャネル保護膜26aを形成する。次に、図1に示すn型シリコン成膜工程Fにおいて、チャネル保護膜26aを含むポリシリコン薄膜27の上面全体にPE-CVDによりリン等がドーパされたn型シリコン膜28を成膜する。次に、図1に示すデバイスエリア形成工程Gにおいて、図2(C)に示すように、n型シリコン膜28のうち不要な部分を除去してソース領域28aおよびドレイン領域28bを形成するとともに、ポリシリコン薄膜27のうち不要な部分を除去してチャネル領域27aを形成する。すなわち、チャネル保護膜26aの上面両側およびその両側におけるチャネル領域27aの各上面にソース領域28aおよびドレイン領域28bを形成する。この場合、チャネル領域27aは真性ポリシリコンからなり、ソース領域28aおよびドレイン領域28bはn型シリコンからなっている。このように、ソース領域28aおよびドレイン領域28bを、成膜したn型シリコン膜によって形成しているため、不純物注入工程および活性化工程が不要となり、したがってこれによっても製造工程を簡略化することができる。なお、ソース領域28aおよびドレイン領域28bはn型アモルファスシリコンあるいはn型ポリシリコンからなるものであってもよい。

【0012】次に、図1に示すソース・ドレイン電極形成工程Hにおいて、ソース領域28aおよびドレイン領域28bの各上面等に、クロムからなる第1ソース電極29および第1ドレイン電極30を形成し、続いてその各上面にアルミニウム-チタン合金からなる第2ソース電極31および第2ドレイン電極32を形成する。次に、図1に示すオーバーコート膜成膜工程Iにおいて、全上面にオーバーコート膜33を成膜する。次に、図1に示す水素化工程Jにおいて、水素化用電気炉または水素化用プラズマ炉で水素化処理を行うことにより、チャ

5

ネル領域27a、ソース領域28aおよびドレイン領域28bのダングリングボンドを減少させる。かくして、ボトムゲート型のポリシリコン薄膜トランジスタが製造される。

【0013】ところで、図1に示す製造工程を、従来のボトムゲート型のポリシリコン薄膜トランジスタの製造工程と比較した場合、脱水素化・ポリ化工程Dおよび水素化工程Jが付加されているだけであるので、従来のボトムゲート型のポリシリコン薄膜トランジスタの製造プロセスラインに脱水素化・ポリ化工程Dのためのエキシマレーザ装置および水素化工程Jのための水素化用電気炉または水素化用プラズマ炉を付加すると、従来のボトムゲート型のポリシリコン薄膜トランジスタの製造プロセスラインを若干変更してそのまま使用することにより、この発明の薄膜トランジスタを製造することができることになる。なお、この発明は、p型のポリシリコン薄膜トランジスタにも適用することができる。

【0014】

【発明の効果】以上説明したように、この発明によれば、水素化アモルファスシリコン膜に、エキシマレーザを前回の照射領域と50%以上オーバーラップさせて照射するスキャン走査によって、脱水素化工程とポリ化工程とを一度に行うことができることとなり、したがって製造工程を簡略化することができ、またこれに伴い設備投資を低減化することができる。

【図面の簡単な説明】

6

【図1】この発明の一実施形態における薄膜トランジスタの製造工程を示す図。

【図2】(A)～(C)はそれぞれ図1に示す製造工程を経て製造される薄膜トランジスタの各状態における断面図。

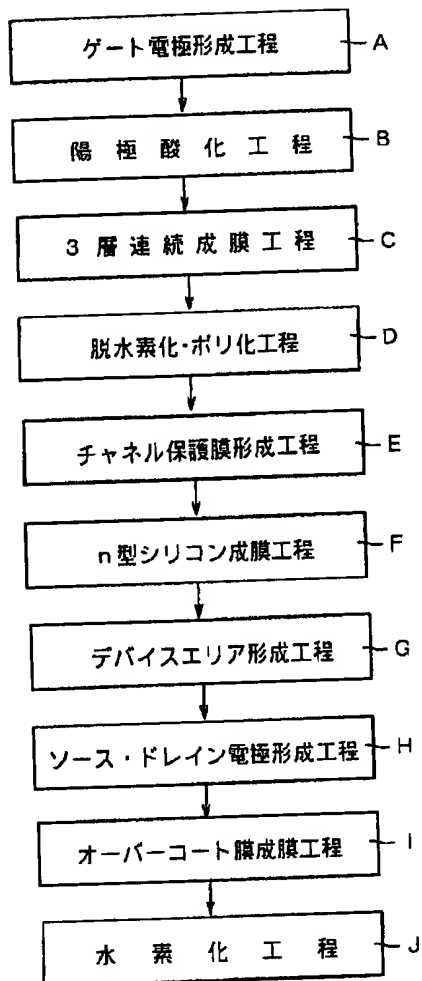
【図3】従来の薄膜トランジスタの製造工程を示す図。

【図4】(A)～(D)はそれぞれ図3に示す製造工程を経て製造される薄膜トランジスタの各状態における断面図。

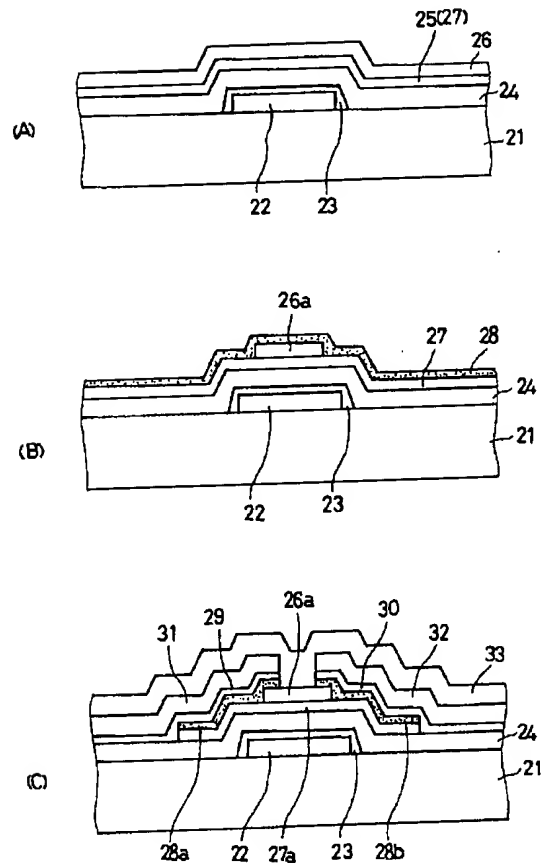
10 【符号の説明】

- 22 ゲート電極
- 23 第1ゲート絶縁膜
- 24 第2ゲート絶縁膜
- 25 アモルファスシリコン薄膜
- 26 チャネル保護膜形成用膜
- 26a チャネル保護膜
- 27 ポリシリコン薄膜
- 27a チャネル領域
- 28 n型シリコン膜
- 28a ソース領域
- 28b ドレイン領域
- 29 第1ソース電極
- 30 第1ドレイン電極
- 31 第2ソース電極
- 32 第2ドレイン電極

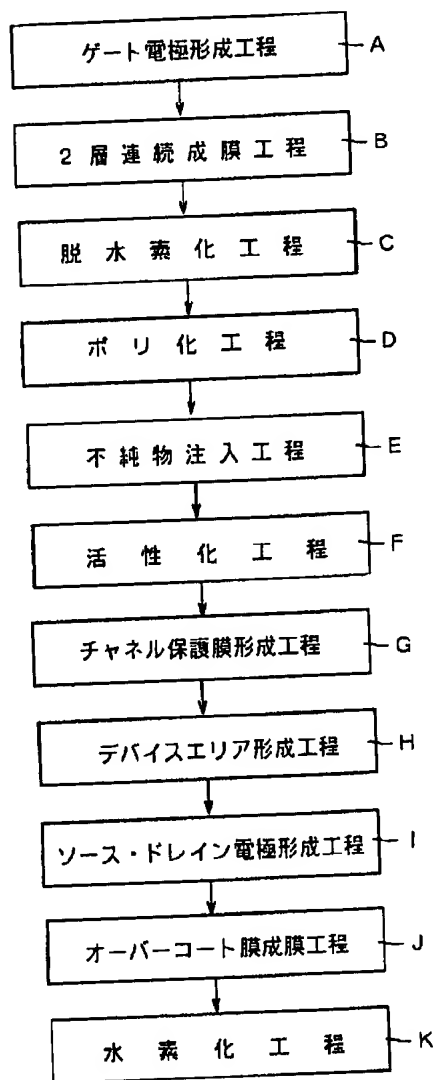
【図1】



【図2】



【図3】



【図4】

